

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122823

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G02F 1/136

H01L 27/12

H01L 29/786

(21)Application number : 06-265465

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.10.1994

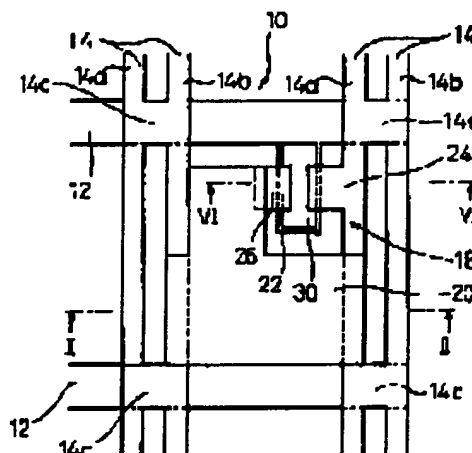
(72)Inventor : ICHIMURA TERUHIKO
NASU YASUHIRO

(54) THIN FILM TRANSISTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain high aperture rate in the case of being used in a display device.

CONSTITUTION: A thin film transistor has a gate bus line 12 formed on an insulated plate; a drain bus line 14 arranged so as to cross the gate bus line 12 through an insulating layer; a thin film transistor 18 provided at every crossing part between the gate bus line 12 and the drain bus line 14; and a picture element electrode 20 connected to the thin film transistor 18, and each drain bus line 14 is composed of two drain bus line parts 14a, 14b extending in parallel to each other, and the picture element electrode 20 is overlappingly provided on the drain bus line part 14a on its one side and the drain bus line part 14b on its other side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-122823

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 27/12	C			
29/786		9056-4M	H 0 1 L 29/ 78	6 1 2 C
審査請求 未請求 請求項の数5 O L (全 8 頁)				

(21)出願番号 特願平6-265465

(22)出願日 平成6年(1994)10月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 市村 照彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 那須 安宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

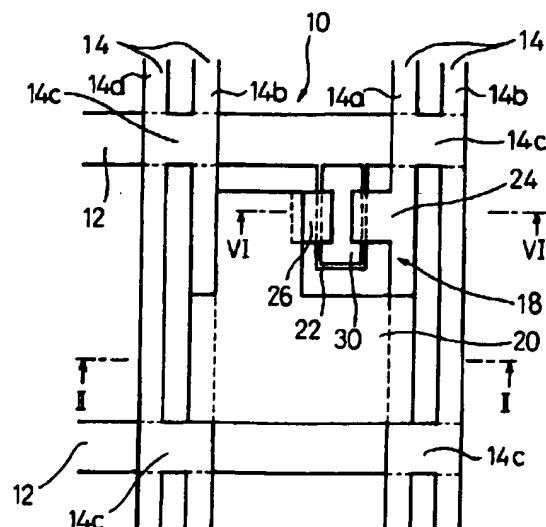
(54)【発明の名称】 薄膜トランジスタ基板及びその製造方法

(57)【要約】

【目的】 薄膜トランジスタ基板及びその製造方法に関し、表示装置で使用される場合に高い開口率を得ることができるようにすることを目的とする。

【構成】 絶縁板の上に形成されたゲートバスライン12と、絶縁層を介して該ゲートバスラインと交差して配置されたドレインバスライン14と、該ゲートバスラインと該ドレインバスラインの交差部毎に設けられた薄膜トランジスタ18と、該薄膜トランジスタに接続された画素電極20とを備え、各ドレインバスライン14が平行に延びる2つのドレインバスライン部分14a、14bからなり、該画素電極20はその一侧にある一つのドレインバスライン部分14a及びその他側にある一つのドレインバスライン部分14bに重なって設けられている構成とする。

第1実施例を示す図



【特許請求の範囲】

【請求項1】 絶縁板(11)の上に形成されたゲートバスライン(12)と、絶縁層を介して該ゲートバスラインと交差して配置されたドレインバスライン(14)と、該ゲートバスラインと該ドレインバスラインの交差部毎に設けられた薄膜トランジスタ(18)と、該薄膜トランジスタに接続された画素電極(20)とを備え、各ドレインバスライン(14)が平行に延びる2つのドレインバスライン部分(14a、14b)からなり、該画素電極(20)はその一側にある一つのドレインバスライン部分(14a)及びその他側にある一つのドレインバスライン部分(14b)に重なって設けられていることを特徴とする薄膜トランジスタ基板。

【請求項2】 該画素電極がその一側にあるドレインバスライン部分に重なる面積と、該画素電極がその他側にあるドレインバスライン部分に重なる面積とが等しいことを特徴とする薄膜トランジスタ基板。

【請求項3】 絶縁板(11)の上に形成されたゲートバスライン(12)と、絶縁層を介して該ゲートバスラインと交差して配置されたドレインバスライン(14)と、該ゲートバスラインと該ドレインバスラインの交差部毎に設けられた薄膜トランジスタ(18)と、該薄膜トランジスタに接続された画素電極(20)とを備え、該画素電極(20)は平行に延びる一対の端部(20a、20b)を有し、該画素電極(20)の一対の端部(20a、20b)が上から見てドレインバスラインの端部(14p、14q)とそれぞれ一致するように設けられていることを特徴とする薄膜トランジスタ基板。

【請求項4】 該画素電極は、該画素電極の端部がゲートバスラインの端部及び薄膜トランジスタの端部と一致するように設けられていることを特徴とする請求項3に記載の薄膜トランジスタ基板。

【請求項5】 該画素電極は基板裏面から露光する工程により作られることを特徴とする請求項1から4のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は例えば液晶表示装置で使用する薄膜トランジスタ基板及びその製造方法に関する。

【0002】

【従来の技術】液晶表示装置は、液晶が一対の基板の間に封入されており、電圧を印加することにより液晶の光透過状態を変化させて表示を行う。最近では、液晶表示装置の大型化や高精細化に伴い、アクティブマトリクスをもった液晶表示装置の開発が盛んに行われている。アクティブマトリクスをもった液晶表示装置では、液晶を封入した一対の基板のうちの一方の基板は、薄膜トランジスタ基板と呼ばれ、ゲートバスラインと、ドレインバスラインと、薄膜トランジスタと、画素電極とをマトリ

クス状に設けたものである。他方の基板はカラーフィルタ基板と呼ばれ、微小な領域毎に赤、青、緑色の部分を含むカラーフィルタ、ブラックマトリクス及び共通電極を設けられたものである。

【0003】

【発明が解決しようとする課題】液晶表示装置では、大型化や高精細化に伴い、1つの画素の面積が小さくなり、開口率が小さくなる傾向にある。また、バックライトに大きな電力をかけることなく明るい表示を得ることが求められている。このような事情から、所定の画素の面積に対してできるだけ開口率を高くすることが求められている。

【0004】1つの画素の面積はゲートバスラインとドレインバスラインとで囲まれた領域で規定される。画素電極はゲートバスラインとドレインバスラインからそれぞれ所定のギャップだけ内寄りの線で囲まれた領域に形成されている。画素電極とドレインバスラインとの関係においては、画素電極とドレインバスラインとは交互に位置し、1つの画素電極については、その両側にドレインバスラインがあることになる。従って、画素電極がどちらかのドレインバスライン側に偏って形成されていると、画素電極の一端部が近い方のドレインバスラインからの電圧の影響を強く受け、画素電極の他端部が遠い方のドレインバスラインからの電圧の影響を弱く受け、全体として受ける電圧が変動することになり、画像の階調表示に不都合が生じることがある。従って、画素電極がどちらかのドレインバスライン側に偏って形成されていても、そのような電圧の変動がないように、画素電極とドレインバスラインとの間に相当のギャップがあるように設計されていた。従って、画素電極の大きさは小さくなり、開口率が小さかった。

【0005】さらに、画素電極と対向してブラックマトリクスがある。ブラックマトリクスの開口部は、画素電極とほぼ同じ形状をしているが、画素電極の大きさよりも小さい。すなわち、薄膜トランジスタ基板とカラーフィルタ基板とを貼り合わせたときにこれらの間で多少の位置ずれがあってもブラックマトリクスから光が洩れないように、ブラックマトリクスの開口部の大きさを画素電極の外形輪郭よりもかなり小さく形成していた。従って、開口率は画素電極の大きさで決まったものよりもさらに小さくなる。さらに、蓄積容量電極を設けると、蓄積容量電極が光を遮るので開口率はさらに小さくなるという問題点があった。

【0006】本発明の目的は、例えば液晶表示装置等の表示装置で利用される場合に高い開口率を得ることのできる薄膜トランジスタ基板及びその製造方法を提供することである。

【0007】

【課題を解決するための手段】本発明による薄膜トランジスタ基板は、絶縁板11の上に形成されたゲートバス

ライン12と、絶縁層を介して該ゲートバスラインと交差して配置されたドレインバスライン14と、該ゲートバスラインと該ドレインバスラインの交差部毎に設けられた薄膜トランジスタ18と、該薄膜トランジスタに接続された画素電極20とを備え、各ドレインバスライン14が平行に延びる2つのドレインバスライン部分14a、14bからなり、該画素電極20はその一侧にある一つのドレインバスライン部分14a及びその他側にある一つのドレインバスライン部分14bに重なって設けられていることを特徴とするものである。

【0008】また、もう一つの本発明による薄膜トランジスタ基板は、絶縁板11の上に形成されたゲートバスライン12と、絶縁層を介して該ゲートバスラインと交差して配置されたドレインバスライン14と、該ゲートバスラインと該ドレインバスラインの交差部毎に設けられた薄膜トランジスタ18と、該薄膜トランジスタに接続された画素電極20とを備え、該画素電極20は平行に延びる一対の端部20a、20bを有し、該画素電極の一対の端部が上から見てドレインバスラインの端部14p、14qとそれぞれ一致するように設けられていることを特徴とするものである。

【0009】これらの薄膜トランジスタ基板の製造方法においては、該画素電極は基板裏面から露光する工程により作られることを特徴とするものである。

【0010】

【作用】上記した薄膜トランジスタ基板及びその製造方法においては、画素電極の大きさを大きくすることができ、それに伴ってブラックマトリクスの開口部を大きくすることができる。従って、開口部の大きい表示装置を得ることができる。

【0011】

【実施例】図1は本発明の第1実施例の薄膜トランジスタ基板10を示す平面図であり、図2は図1の線II-IIに沿ってとった断面図である。図3は図1及び図2の薄膜トランジスタ基板10を含む液晶表示装置100を示す断面図である。図5及び図6は薄膜トランジスタ基板10の製造方法を示す図である。

【0012】図1から図3において、薄膜トランジスタ基板10はガラス等の透明な絶縁板11を含む。絶縁板11の上にはゲートバスライン12がクロム等の金属により形成される。ドレインバスライン14がゲートバスライン12の上方に形成され、ドレインバスライン14が絶縁層16に包まれている。さらに、薄膜トランジスタ18がゲートバスライン12とドレインバスライン14の交差部毎に設けられる。さらに、画素電極20が薄膜トランジスタ18に接続して設けられる。図面においては、1組の画素電極20及び薄膜トランジスタ18のみが示されているが、多数の組の画素電極20及び薄膜トランジスタ18がマトリクス状に設けられ、アクティブマトリクスを構成することは明らかであろう。

【0013】図1及び図6に示されるように、薄膜トランジスタ18はゲート電極22を含む。ゲート電極22はゲートバスライン12と一体的に設けられたものである。蓄積容量電極（図示せず）をゲートバスライン12及びゲート電極22と一体的に形成することもできる。薄膜トランジスタ16は、さらにドレインバスライン14から延びるドレイン電極24と、ソース電極26と、半導体層28と、チャネル保護層30とからなる。画素電極20はソース電極26に接続される。

10 【0014】ゲートバスライン12及びドレインバスライン14は例えばクロムやチタン、あるいはこれらの複合構造で作られる。図6においては、絶縁層16は窒化シリコンからなる第1絶縁層16aと第2絶縁層16bとからなる。また、ドレイン電極24及びソース電極26の下で、半導体層28の上にはオーミックコンタクト層32が設けられている。

【0015】図1から図3に示されるように、各ドレインバスライン14は、平行に延びる2つのドレインバスライン部分14a、14bからなる。これらの2つのドレインバスライン部分14a、14bは14cにおいて接続されており、1つのドレインバスライン14としての機能を有する。

【0016】画素電極20はその一侧（例えば図1で右側）にある一つのドレインバスライン部分14a及びその他側（例えば図1で左側）にある一つのドレインバスライン部分14bに重なって設けられている。各ドレインバスライン14の2つのドレインバスライン部分14a、14bの間にはギャップがあいている。

30 【0017】図3において、液晶表示装置100は、薄膜トランジスタ基板10とカラーフィルタ基板50と、これらの基板10、50の間に封入された液晶60とからなる。カラーフィルタ基板50は、透明な絶縁板51の上に設けられたカラーフィルタ52と、その上に設けられたブラックマトリクス54と、その上に設けられた共通電極56とからなる。カラーフィルタ52と赤、緑、青の微小な色領域を有する。

【0018】図4は従来の液晶表示装置を示す図である。この液晶表示装置は、薄膜トランジスタ基板70とカラーフィルタ基板80の間に封入された液晶60とからなる。薄膜トランジスタ基板70は、次の2点を除けば図1から図3の薄膜トランジスタ基板10と同様である。

50 【0019】すなわち、図4では、ドレインバスライン70が所定の幅aの一条の線として形成され、画素電極77がドレインバスライン74から所定のギャップbだけ内寄りの線で囲まれた領域に設けられている。これに応じて、カラーフィルタ基板80のブラックマトリクス84は、その遮蔽部分の幅がxとなっている。ブラックマトリクス84と画素電極77とは、幅cだけ重なっている。従って、 $x = (a + 2b + 2c)$ である。重なり

の幅 c はドレインバスライン70の幅 a の半分程度にとるのが普通であり、従って、 $x = (2a + 2b)$ である。

【0020】図3において、各ドレインバスライン部分14a、14bの幅を図4のドレインバスライン70の幅と等しく、 a とすることができる。また、2つのドレインバスライン部分14a、14bの間のギャップを図4の画素電極77とドレインバスライン74との間のギャップと等しく、 b とすることができる。カラーフィルタ基板50のブラックマトリクス54の遮蔽部分の幅は、 y である。

【0021】図3では、ドレインバスライン部分14a、14bに光遮蔽の機能をもたせているので、ブラックマトリクス54の遮蔽部分の端部はドレインバスライン部分14a、14bの中央に位置させ、薄膜トランジスタ基板10とカラーフィルタ基板50との間の位置ずれが起きても、光が洩れないようにしている。従って、 $y = (a + b)$ であるが、実際の遮蔽部分の幅 $x' = (2a + b)$ となる。従って、本発明の遮蔽部分の幅 $x' = (2a + b)$ は、従来の遮蔽部分の幅 $x = (2a + 2b)$ よりも小さく、本発明によれば、従来のものよりも開口率が大きくなっている。

【0022】次に図5及び図6を参照して薄膜トランジスタ基板10の製造方法について説明する。図5及び図6は図1の線VI-VIに沿ってとった断面図であり、薄膜トランジスタ18の部分を示す。図5(A)に示されるように、絶縁板11の上にゲートバスライン12及びゲート電極22となるべき金属(例えばクロム)をスパッタにより例えば150nm成膜し、レジスト塗布、露光、現像し、硝酸セリウム第2アンモンを主成分とする水溶液によるウェットエッチングにより、ゲートバスライン12及びゲート電極22を図1に示すような所定の形状に形成する。レジストを剥離した後、第1の絶縁層16aとなる窒化シリコン膜(450nm)、半導体層28となるアモルファスシリコン膜(15~50nm)、及びチャネル保護層30となる窒化シリコン膜(200nm)をプラズマCVDにて連続成膜する。

【0023】図5(B)に示されるように、レジスト塗布、露光、現像により、チャネル保護層30の上に所定の形状のレジストパターン90を形成し、(C)に示されるように、緩衝フッ酸水溶液によるウェットエッチング、レジスト剥離の工程を経て、チャネル保護層30を所定の形状に形成する。このとき、半導体層30はまだ全面的に残っている。

【0024】次に(D)に示されるように、モノシランガスとPH₃ガスの混合ガスにより、オーミックコンタクト層32となる(n^+a-Si)膜(50nm)をプラズマCVDにて成膜した後、ドレインバスライン14、ドレイン電極24及びソース電極26となる例えばチタン(200nm)をスパッタにて成膜する。なお、

オーミックコンタクト層32の形成は半導体層30にイオンドーピングすることによっても行うことができる。

【0025】そこで、レジスト塗布、露光、現像、ウェットエッチングによりドレインバスライン14、ドレイン電極24及びソース電極26を所定の形状に形成する。このときに使用したレジストにより、ドレインバスライン14は平行に延びる2つのドレインバスライン部分14a、14bからなる形状に形成される。続いてレジストを剥離せずにRIEの塩素ガスによるドライエッチングを行い、オーミックコンタクト層32及び半導体層28を所定の形状にし、素子分離する。

【0026】次に、図6(A)に示されるように、第2の絶縁層16bとして窒化シリコン膜をプラズマCVDにて成膜した後、レジスト塗布、露光、現像、エッチングを行い、第2の絶縁層16b(及び第1の絶縁層16a)に穴17等をあける。続いて、(B)に示されるように、画素電極20となるITOを80nm成膜し、レジスト塗布、露光、現像、エッチングにより画素電極20を図1に示す所定の形状に形成する。

【0027】図7は、イメージリバーサルレジストを用いて裏面露光工程を含む製造方法で、画素電極20を所定の形状に形成する例を示す図である。図8は図7で使用するマスクを示している。図7(A)において、画素電極20となるITOを第2の絶縁層16bの上に全面的に成膜したら、レジスト(イメージリバーサルレジスト)91を塗布する。そこで、図8(A)に示されるマスク92を使用して基板の表面側から露光する。図8(A)のマスク92は、露光される部分(つまりマスクの開口部)を示しており、画素電極20の領域及びドレインバスライン部分14a、14bの一部を含んでいる。

【0028】図7(B)において、リバーサルベークを行うと、マスク92から露光された部分(ハッチングの部分)のレジストは其後の現像時に溶解せずに残るようになり、露光されなかった部分のレジストはネガ型からポジ型に変わる。図7(C)において、レジスト91を剥離した後、基板の裏面側から、ドレインバスライン部分14a、14b(及びゲートバスライン12及び電極等のその他の金属部分)をマスクとしてセルフアライメント露光する。

【0029】今回露光された、一対のドレインバスライン部分14a、14bの部分の間のギャップに相当する部分91aのレジストは、其後の現像時に脱落するようになる。前に露光されていず、今回も露光されなかったドレインバスライン部分14a、14bの影の部分91bのレジストは、この後さらに露光されなければ、其後の現像時に溶解せずに残るようになる。前に露光された部分(ハッチングの部分)のレジストは前に述べたように其後の現像時に溶解せずに残るようになる。

【0030】図7(D)において、図8(B)のマスク

7

93を使用して基板の表面側から露光する。図8(B)のマスク93も露光される部分を示しており、上側のゲートバスライン12及び薄膜トランジスタ18の領域を含んでいる。従って、今回の露光されたレジストのうち、最初に図8(A)のマスク92で露光されなかった部分が、その後の現像時に脱落するようになる。図7は図1の線II-IIに沿った断面図であるので、ゲートバスライン12及び薄膜トランジスタ18の部分を含んでおらず、この図に見える範囲では、部分91aのレジストのみが最後の現像時に脱落するようになる。また、ゲートバスライン12及び薄膜トランジスタ18に相当する部分が、最後の現像時に脱落するようになる。

【0031】従って、現像後のレジスト91は、部分91a、及びゲートバスライン12及び薄膜トランジスタ18に相当する部分が脱落し、その後で画素電極20のエッチングを行うと、レジスト91のない部分がエッチングされる。このようにして、図1から図3に示した画素電極20が得られる。この画素電極20は各側のドレインバスライン部分14a、14bにびつたりとのっており、画素電極20がその一側にあるドレインバスライン部分14aに重なる面積と、該画素電極20がその他側にあるドレインバスライン部分14bに重なる面積とが等しい。

【0032】図9は本発明の第2実施例の薄膜トランジスタ基板10を示す図である。この薄膜トランジスタ基板10は図1のものと同様には図3の液晶表示装置に使用できる。薄膜トランジスタ基板10ゲートバスライン12と、ドレインバスライン14と、薄膜トランジスタ18と、画素電極20を含むものである。ドレインバスライン14は、平行に延びる2つのドレインバスライン部分14a、14bからなる。これらの2つのドレインバスライン部分14a、14bは14cにおいて接続されており、1つのドレインバスライン14としての機能を有する。

【0033】画素電極20はその一側（例えば図1で右側）にある一つのドレインバスライン部分14a及びその他側（例えば図1で左側）にある一つのドレインバスライン部分14bに重なって設けられている。この実施例では、画素電極20の端部が各ドレインバスライン部分14a、14bを越えてこれらのドレインバスライン部分14a、14bの間のギャップの領域にまで延びている。

【0034】このような構成により、前の実施例と同様に開口率を上げることができる。そして、画素電極20がその一側にあるドレインバスライン部分14aに重なる面積と、該画素電極20がその他側にあるドレインバスライン部分14bに重なる面積とが等しい。もし画素電極20の一方の端部のドレインバスラインとの重なり面積が、画素電極20の他方の端部のドレインバスラインとの重なり面積と異なると、一方のドレインバス

8

ラインを駆動しているときと、他方のドレインバスラインを駆動しているときとで画素電極にかかる電圧が変動するが、本発明によればそのような電圧の変動がない。

【0035】図10は本発明の第3実施例の薄膜トランジスタ基板10を示す図である。この薄膜トランジスタ基板10は図1のものと同様には図3の液晶表示装置に使用できる。薄膜トランジスタ基板10はゲートバスライン12と、ドレインバスライン14と、薄膜トランジスタ18と、画素電極20を含むものである。この実施例では、ドレインバスライン14はそれぞれ1本ずつ延びるものである。

【0036】画素電極20は薄膜トランジスタ18の位置する部分が逃げていないことを除けば概略矩形形状であり、対向する一対の端部（辺）20aがゲートバスライン12と平行であり、対向するもう一対の端部（辺）20bがドレインバスライン14と平行である。後者の一対の端部（辺）20bは上から見てドレインバスライン14の端部14qとそれぞれ一致するように設けられている。また、一対の端部（辺）20aも上から見てドレインバスライン14の端部14pとそれぞれ一致するように設けられている。

【0037】このような画素電極20はネガ型レジストを用いて基板裏面から露光する工程により作られる。上記した図7(C)を参照して説明したように、基板裏面からレジストに露光するときには、金属層であるゲートバスライン12、ドレインバスライン14、及び薄膜トランジスタ18の各電極がマスクとして使用することができ、レジストを現像して画素電極20をエッチングすると、画素電極20の端部（辺）20bはドレインバスライン14の端部14qと一致し、画素電極20の端部（辺）20aはドレインバスライン14の端部14pと一致するようになる。

【0038】このような構成により、前の実施例と同様に開口率を上げることができる。そして、画素電極20はその一側にあるドレインバスライン14に重なり、且つ他側にあるドレインバスライン14から間隔ができるようにずれて形成されることがない。従って、ずれて形成される場合のような画素電極にかかる電圧の変動がない。

【0039】イメージリバーサルレジストを使用しても、画素電極20を形成することができる。図11は、イメージリバーサルレジストを用いて裏面露光工程を含む製造方法で、画素電極20を所定の形状に形成する例を示す図である。図11(A)において、画素電極20となるITOを絶縁層16の上に全面的に成膜したら、レジスト（イメージリバーサルレジスト）91を塗布する。そこで、基板の裏面側から、ゲートバスライン12、ドレインバスライン14、及び薄膜トランジスタ18の電極をマスクとしてセルフアライメント露光する。

【0040】レジスト91の露光される部分（ハッチン

グ部分)はその後の現像時に溶解せずに残るようになる。そこで、図11(B)において、リバーサルベークを行うと、露光されなかった部分91cのレジストはネガ型からポジ型に変わる。そこで、図11(C)において、図8のマスク93のようなマスクを用いて基板の表面側から露光する。それによって、レジストを現像したときに、ゲートバスライン12、ドレインバスライン14、及び薄膜トランジスタ18の部分、及び薄膜トランジスタ18のまわりの部分のレジストが脱落し、画素電極20の部分のみレジスト91が残る。従って、エッチングにより画素電極20が形成される。

【0041】

【発明の効果】以上説明したように、本発明によれば、画素電極の大きさを大きくすることができ、それに伴ってブラックマトリクスの開口部を大きくすることができる。従って、開口部の大きい表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の薄膜トランジスタ基板の平面図である。

【図2】図1の線II-IIに沿った断面図である。

【図3】図1の薄膜トランジスタ基板を含む液晶表示装置

を示す断面図である。

【図4】従来の液晶表示装置を示す断面図である。

【図5】図1の基板の製造方法を示す図である。

【図6】図5の続きの工程を示す図である。

【図7】裏面露光工程を含む製造方法を示す図である。

【図8】図7の画素電極の形成時に使用するマスクを示す図である。

【図9】本発明の第2実施例の薄膜トランジスタ基板の平面図である。

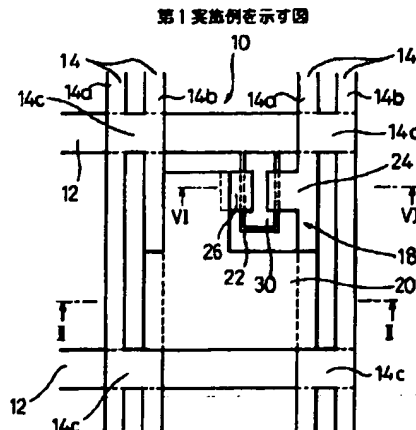
【図10】本発明の第2実施例の薄膜トランジスタ基板の平面図である。

【図11】裏面露光工程を含む製造方法を示す図である。

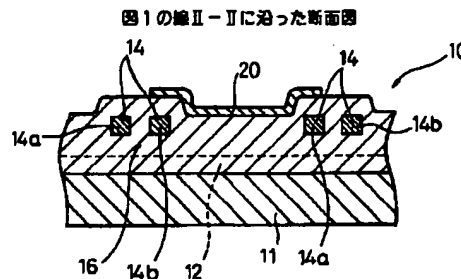
【符号の説明】

- 10…基板
- 11…絶縁板
- 12…ゲートバスライン
- 14…ドレインバスライン
- 14a、14b…ドレインバスライン部分
- 18…薄膜トランジスタ
- 20…ゲート端子部

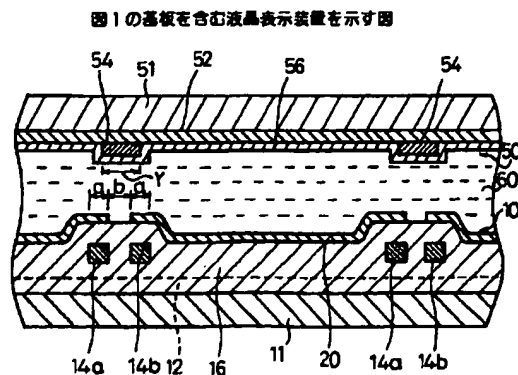
【図1】



【図2】

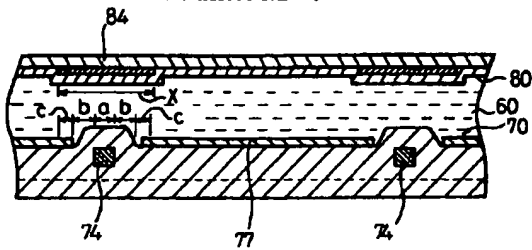


【図3】



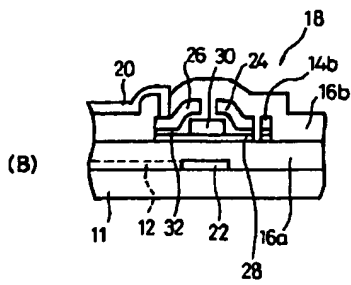
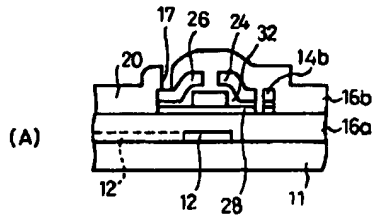
【図4】

従来の液晶表示装置を示す図



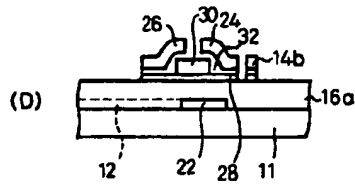
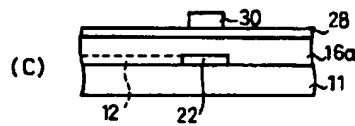
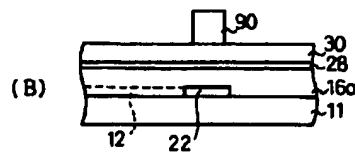
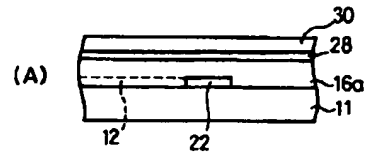
【図6】

図5の焼きの工程を示す図



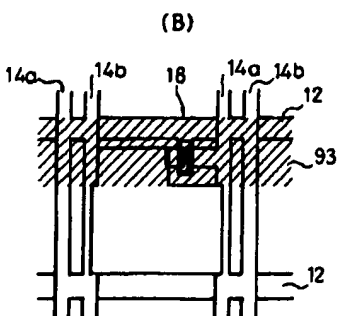
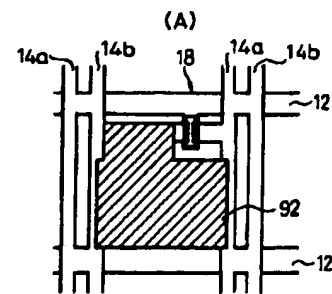
【図5】

図1の基板の製造方法を示す図



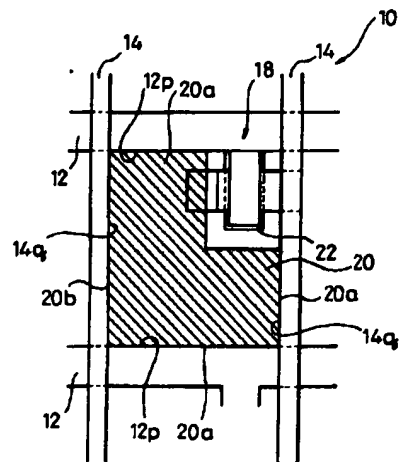
【図8】

画素電極の形成時に使用するマスクを示す図



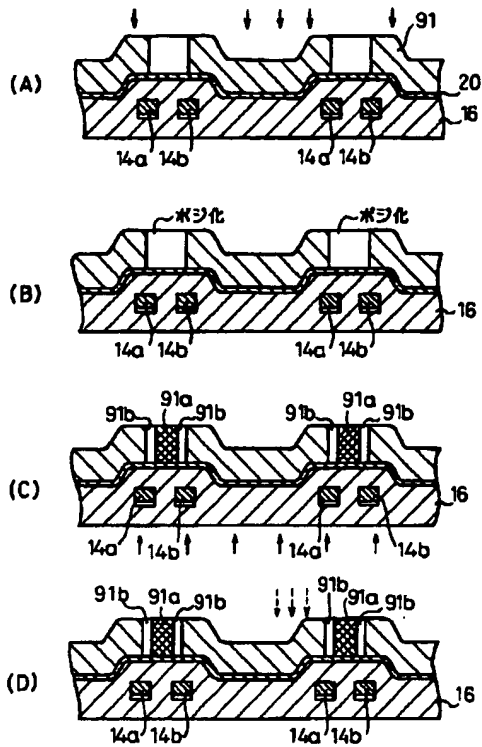
【図10】

第3実施例を示す図



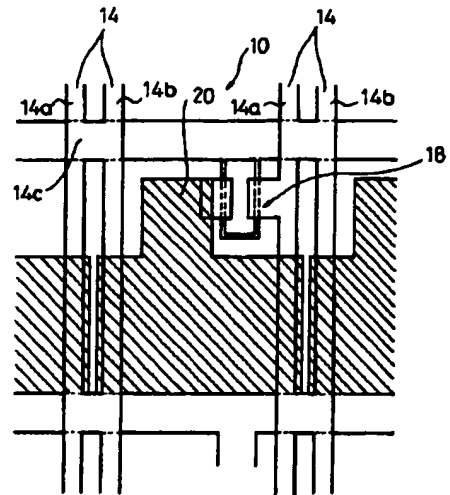
【図7】

裏面露光工程を含む製造方法を示す図



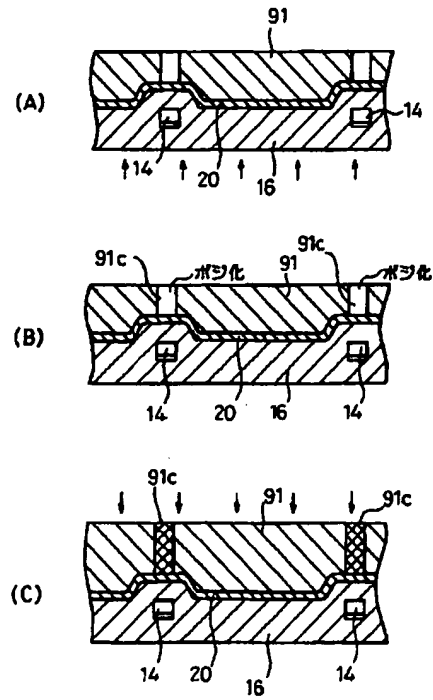
【図9】

第2実施例を示す図



【図11】

裏面露光工程を含む製造方法を示す図



JP08122823

Publication Title:

JP08122823

Abstract:

Abstract not available for JP08122823

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>